

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-269611  
(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

H05K 1/02  
H01L 21/60  
H05K 3/34

(21)Application number : 11-069939

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 16.03.1999

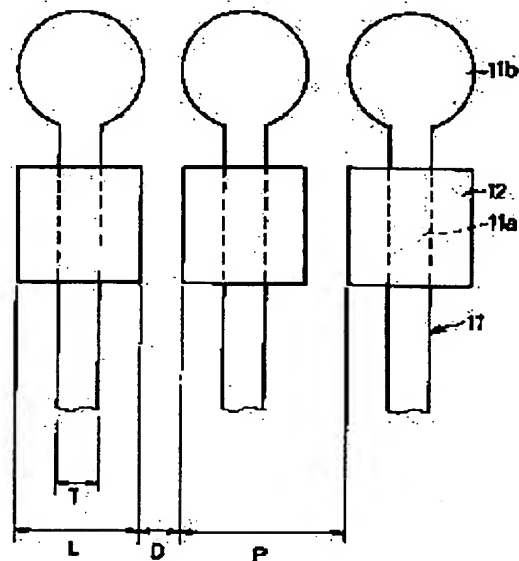
(72)Inventor : SAITO KOICHI  
SUGIYAMA KAZUHIRO

## (54) FLEXIBLE WIRING BOARD

### (57)Abstract:

PROBLEM TO BE SOLVED: To make a pitch to be finer in a flexible wiring board (COF) where a semiconductor chip is loaded on a film substrate.

SOLUTION: A connection terminal 11 placed on the upper face of a film substrate is formed of a linear connection terminal main body part 11a, and a planar/circular tip reinforcing part 11b installed at the tip reinforcing part of the connection terminal main body part 11a. For making the length of one side in a connection electrode 12 arranged below a semiconductor chip and an array pitch P to be small and making the pitch fine, the tip reinforcing part 11b is prevented from being easily peeled from the film substrate, when the diameter of the tip reinforcing part 11b is made similar to the length L of one side of the connection electrode 12, even if the width T of the connection terminal main body part 11a is made smaller than the length L of one side of the connection electrode 12 by certain degree, by considering bonding precision at the time of loading the semiconductor chip on the film substrate.



## LEGAL STATUS

[Date of request for examination] 12.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

**Japan's Publication for Unexamined Patent Application**

**No. 2000-269611 (Tokukai 2000-269611)**

A. Relevance of the above-identified Document

This document has relevance to all claims of the present application.

B. Translation of the Relevant Passages of the Document

[0009]

As in the third embodiment of the present invention shown in Figure 3, when connection electrodes 12 are arranged in a staggered manner on the lower surface of a semiconductor chip, all connection terminal main body sections 11a should be extended so that all connection terminals 11 have the same shape. With this arrangement, when the displacement occurs in the left and right directions at the bonding for mounting the semiconductor chip on a film substrate, it is possible to avoid all leading end reinforcing sections 11b from being short-circuited with their adjacent connection electrodes 12.

[0010]

A diameter (maximum width) of the leading end reinforcing section 11b may be larger than a width of the connection terminal main body section 11a and smaller than a length of one side of the connection electrode 12. Moreover, a wiring 13 continuing to the connection terminal main body section 11a may be larger in width

**THIS PAGE BLANK (11/10/20)**

than the connection terminal main body section 11a and smaller in width than one side of the connection electrode 12. Furthermore, the leading end reinforcing section 11b, of which planar shape is not limited to circle, may have a shape such as square, rectangle, and trapezoid, as respectively shown in Figures 4(A)-4(C). In addition, the connection electrode 12, of which planar shape is not limited to square, may have a shape such as rectangle and circle.

[0011]

Further, in the above embodiment, although the case where the semiconductor chip is mounted on the film substrate has been described, the present invention is not limited to this arrangement. Alternatively, a semiconductor device referred to as CSP (chip size package), BGA (ball grid array), etc. (one including semiconductor chip) or other electronic components may be mounted on the film substrate.

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-269611

(P2000-269611A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-リ-ト* (参考)
H 0 5 K 1/02		H 0 5 K 1/02	J 5 E 3 1 9
			B 5 E 3 3 8
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 W 5 F 0 4 4
H 0 5 K 3/34	5 0 1	H 0 5 K 3/34	5 0 1 E

審査請求 未請求 請求項の数 6 O L (全 4 頁)

(21) 出願番号 特願平11-69939

(22) 出願日 平成11年3月16日 (1999.3.16)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 斎藤 浩一

東京都青梅市今井3丁目10番地6 カシオ  
計算機株式会社青梅事業所内

(72) 発明者 杉山 和弘

東京都青梅市今井3丁目10番地6 カシオ  
計算機株式会社青梅事業所内

(74) 代理人 100074985

弁理士 杉村 次郎

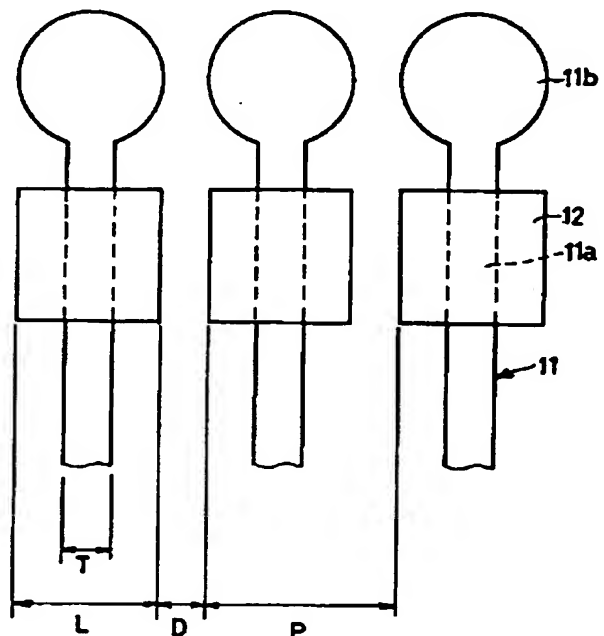
最終頁に続く

(54) 【発明の名称】 フレキシブル配線基板

(57) 【要約】

【課題】 フィルム基板上に半導体チップが搭載されたフレキシブル配線基板 (COF) において、より一層のファインピッチ化を図る。

【解決手段】 フィルム基板の上面に設けられた接続端子11は、直線状の接続端子本体部11aと、この接続端子本体部11aの先端補強部に設けられた平面円形状の先端補強部11bとからなっている。この結果、半導体チップの下面に設けられた接続電極12の一辺の長さL及び配列ピッチPを小さくしてファインピッチ化を図る場合、フィルム基板上に半導体チップを搭載する際のボンディング精度を考慮して、接続端子本体部11aの幅Tを接続電極12の一辺の長さLよりもある程度小さくしても、先端補強部11bの直径を接続電極12の一辺の長さLと同じとすると、この先端補強部11bがフィルム基板から剥離しにくいようにすることができる。



## 【特許請求の範囲】

【請求項1】 フィルム基板上に所定の配列ピッチで配列された接続端子に電子部品下に同一の配列ピッチで配列された接続電極が接続されていることにより、前記フィルム基板上に前記電子部品が搭載されたフレキシブル配線基板において、前記接続端子は、前記接続電極と接続される接続端子本体部と、該接続端子本体部の先端部に設けられ、最大幅が前記接続端子本体部の幅よりも大きい先端補強部とからなることを特徴とするフレキシブル配線基板。

【請求項2】 請求項1記載の発明において、前記接続電極は平面形状であり、前記接続端子本体部の幅は前記接続電極の所定の一边の長さよりも小さくなっていることを特徴とするフレキシブル配線基板。

【請求項3】 請求項2記載の発明において、前記先端補強部の最大幅は前記接続端子本体部の幅よりも大きくて前記接続電極の所定の一边の長さと同じかそれよりも小さくなっていることを特徴とするフレキシブル配線基板。

【請求項4】 請求項1記載の発明において、前記接続端子本体部に連続する配線の幅は前記接続端子本体部の幅よりも大きくなっていることを特徴とするフレキシブル配線基板。

【請求項5】 請求項4記載の発明において、前記接続電極は平面形状であり、前記接続端子本体部の幅は前記接続電極の所定の一边の長さよりも小さくっており、前記配線の幅は前記接続端子本体部の幅よりも大きくて前記接続電極の所定の一边の長さと同じかそれよりも小さくなっていることを特徴とするフレキシブル配線基板。

【請求項6】 請求項1～5のいずれかに記載の発明において、前記電子部品は半導体チップまたは半導体チップを有するものであることを特徴とするフレキシブル配線基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、フィルム基板上に半導体チップ等の電子部品が搭載されたフレキシブル配線基板に関する。

## 【0002】

【従来の技術】例えば、液晶表示装置には、液晶表示パネルとこの液晶表示パネルにデータ信号等を供給する回路基板とをフレキシブル配線基板を介して接続したものがある。この場合、フレキシブル配線基板として、液晶表示パネルを駆動するためのLSI等からなる半導体チップをフィルム基板上に搭載してなるもの、つまりCOF(Chip On Film)と呼ばれるものをを用いることがある。

【0003】図5は、従来のこのようなフレキシブル配線基板において、フィルム基板の上面に設けられた接続端子と半導体チップの下面に設けられた接続電極との関

係を示したものである。この場合、接続端子1は、図示しないフィルム基板上に直接または接着剤を介してラミネートされた銅箔等をエッチングすることによって形成され、直線状であって、所定の配列ピッチで配列されている。一方、図示しない半導体チップの下面に設けられた接続電極(パンプ電極)2は、平面正方形状であって、同一の配列ピッチで配列されている。そして、接続電極2が接続端子1に異方性導電接着剤(図示せず)を介して接続されることにより、フィルム基板上に半導体チップが搭載されるようになっている。

## 【0004】

【発明が解決しようとする課題】ところで、平面正方形状の接続電極2の一边の長さをLとし、配列ピッチをPとすると、接続電極2間の間隔Dは $(P-L)$ となる。一方、半導体チップをフィルム基板上に搭載する際のボンディング精度が $\pm A$ であるとする、左右方向の位置ずれの関係から、接続端子1が接続電極2から左右方向に食み出ないようにするには、接続端子1の幅Tを最大で $(L-2A)$ とせざるを得ない。しかるに、接続電極2の一边の長さL及び配列ピッチPを小さくしてファインピッチ化を図る場合、半導体チップをフィルム基板上に搭載する際のボンディング精度 $\pm A$ を考慮すると、接続端子1の幅Tを最大で $(L-2A)$ とせざるを得ないので、接続端子1の幅Tが接続電極2の一边の長さLに比べてかなり小さくなってしまう。この結果、接続端子1のフィルム基板に対するピール強度が低下し、特に接続端子1の先端部がフィルム基板から剥離しやすくなるので好ましくなく、したがってファインピッチ化に限界があるという問題があった。この発明の課題は、より一層のファインピッチ化を図ることである。

## 【0005】

【課題を解決するための手段】この発明は、フィルム基板上に所定の配列ピッチで配列された接続端子に電子部品下に同一の配列ピッチで配列された接続電極が接続されていることにより、前記フィルム基板上に前記電子部品が搭載されたフレキシブル配線基板において、前記接続端子を、前記接続電極と接続される接続端子本体部と、該接続端子本体部の先端部に設けられ、最大幅が前記接続端子本体部の幅よりも大きい先端補強部とによって構成したものである。この発明によれば、接続端子を接続端子本体部とこれよりも幅広の先端補強部とによって構成しているので、接続端子本体部の幅をある程度小さくしても、先端補強部がフィルム基板から剥離しにくいようにすることができ、ひいてはより一層のファインピッチ化を図ることができる。

## 【0006】

【発明の実施の形態】図1は、この発明の第1実施形態におけるフレキシブル配線基板において、フィルム基板の上面に設けられた接続端子と半導体チップの下面に設けられた接続電極との関係を示したものである。この場



合、接続端子11は、図示しないフィルム基板上に直接または接着剤を介してラミネートされた銅箔等をエッチングすることによって形成され、直線状の接続端子本体部11aと、この接続端子本体部11aの先端部に設けられた平面円形状の先端補強部11bとからなり、所定の配列ピッチで配列されている。一方、図示しない半導体チップの下面に設けられた接続電極（パンプ電極）12は、平面正方形状であって、同一の配列ピッチで配列されている。そして、接続電極12が接続端子本体部11aに異方性導電接着剤（図示せず）を介して接続されることにより、フィルム基板上に半導体チップが搭載されるようになっている。

【0007】ここで、平面正方形状の接続電極12の一辺の長さを $L$ とし、配列ピッチを $P$ とすると、接続電極12間の間隔 $D$ は $(P-L)$ となる。一方、半導体チップをフィルム基板上に搭載する際のボンディング精度が $\pm A$ であるとする、左右方向の位置ずれの関係から、接続端子本体部11aが接続電極12から左右方向に食い出ないようにするには、接続端子本体部11aの幅 $T$ を最大で $(L-2A)$ とせざるを得ない。しかるに、接続電極12の一辺の長さ $L$ 及び配列ピッチ $P$ を小さくしてファインピッチ化を図る場合、半導体チップをフィルム基板上に搭載する際のボンディング精度 $\pm A$ を考慮して、接続端子1の幅 $T$ を $(L-2A)$ とある程度小さくしても、先端補強部11bの直径（最大幅）を接続電極12の一辺の長さ $L$ と同じとすると、この先端補強部11bがフィルム基板から剥離しにくいようにすることができ、ひいてはより一層のファインピッチ化を図ることができる。

【0008】なお、図2に示すこの発明の第2実施形態のように、接続端子本体部11aに連続する配線13の幅を接続電極12の一辺の長さと同じとしてもよい。この場合、半導体チップをフィルム基板上に搭載する際のボンディング精度が $\pm A$ であるとする、図1に示す場合も同じであるが、上下方向の位置ずれも考慮する必要がある。そこで、図2に示す状態を所期の状態とすると、接続電極12と先端補強部11bとの間の間隔 $D_1$ を $A$ 以上とし、接続電極12と配線13との間の間隔 $D_2$ も $A$ 以上とすると、上下方向の位置ずれを吸収することができる。

【0009】また、図3に示すこの発明の第3実施形態のように、半導体チップの下面に接続電極12が千鳥状に配列されている場合には、すべての接続端子本体部11aの長さを長くし、すべての接続端子11の形状を同じとすればよい。このようにすれば、半導体チップをフィルム基板上に搭載する際のボンディング時に左右方向の位置ずれが生じても、すべての先端補強部11bがそれぞれ隣接する接続電極12と短絡しないようにすることができる。

【0010】また、先端補強部11bの直径（最大幅）は、接続端子本体部11aの幅よりも大きくて接続電極12の一辺の長さよりも小さくなるようにしてもよい。また、接続端子本体部11aに連続する配線13の幅も、接続端子本体部11aの幅よりも大きくて接続電極12の一辺の長さよりも小さくなるようにしてもよい。さらに、先端補強部11bの平面形状は、円形状に限らず、例えば図4（A）～（C）にそれぞれ示すように、正方形状、長方形状、台形状等としてもよい。加えて、接続電極12の平面形状は正方形状に限らず、長方形状や円形状等であってもよい。

【0011】さらに、上記実施形態では、フィルム基板上に半導体チップを搭載する場合について説明したが、これに限らず、CSP (chip size package) やBGA (ball grid array) 等と呼ばれる半導体装置（半導体チップを有するもの）やその他の電子部品を搭載するようによってもよい。

#### 【0012】

【発明の効果】以上説明したように、この発明によれば、接続端子を接続端子本体部とこれよりも幅広の先端補強部とによって構成しているため、接続端子本体部の幅をある程度小さくしても、先端補強部がフィルム基板から剥離しにくいようにすることができ、ひいてはより一層のファインピッチ化を図ることができる。

#### 【図面の簡単な説明】

【図1】この発明の第1実施形態におけるフレキシブル配線基板において、フィルム基板の上面に設けられた接続端子と半導体チップの下面に設けられた接続電極との関係を示す図。

【図2】この発明の第2実施形態におけるフレキシブル配線基板において、フィルム基板の上面に設けられた接続端子と半導体チップの下面に設けられた接続電極との関係を示す図。

【図3】この発明の第3実施形態におけるフレキシブル配線基板において、フィルム基板の上面に設けられた接続端子と半導体チップの下面に設けられた接続電極との関係を示す図。

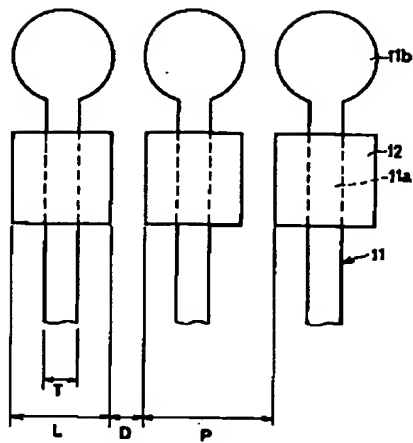
【図4】（A）～（C）はそれぞれ先端補強部の他の各例を示す図。

【図5】従来のフレキシブル配線基板において、フィルム基板の上面に設けられた接続端子と半導体チップの下面に設けられた接続電極との関係を示す図。

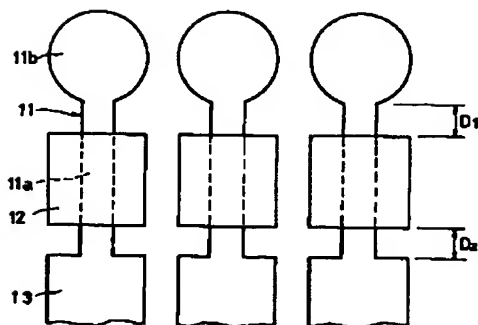
#### 【符号の説明】

- 11 接続端子
- 11a 接続端子本体部
- 11b 先端補強部
- 12 接続電極
- 13 配線

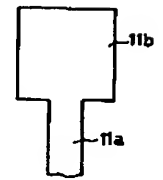
【図1】



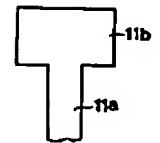
【図2】



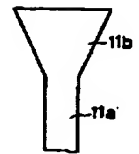
【図4】



(A)

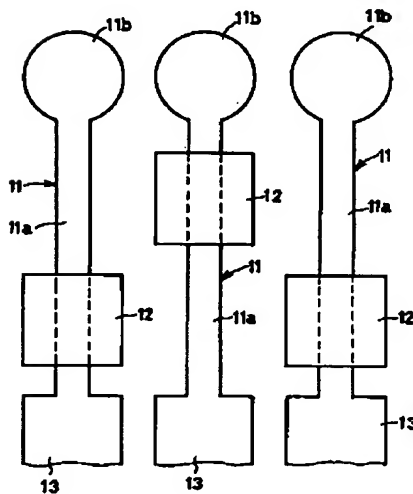


(B)

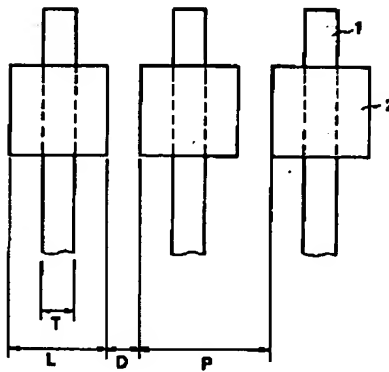


(C)

【図3】



【図5】



フロントページの続き

Fターム(参考) 5E319 AA03 AB05 AC16 BB16 CC61  
5E338 AA12 AA16 BB72 BB75 CC01  
CD13 CD14 CD19 CD22 CD33  
EE27  
5F044 KK11 LL09 MM03 QQ01